

Family list

1 family member for:

JP9092737

Derived from 1 application.

1 NONVOLATILE MEMORY

Publication info: JP9092737 A - 1997-04-04

Data supplied from the **esp@cenet** database - Worldwide

NONVOLATILE MEMORY

Patent number: JP9092737
Publication date: 1997-04-04
Inventor: UCHIYAMA AKIRA
Applicant: OKI ELECTRIC IND CO LTD
Classification:
- international: H01L21/8247; H01L27/115; H01L29/788; H01L29/792;
H01L21/70; H01L27/115; H01L29/66; (IPC1-7):
H01L21/8247; H01L27/115; H01L29/788; H01L29/792

- european:

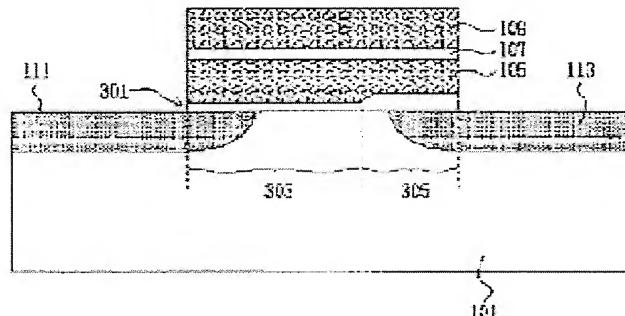
Application number: JP19950250359 19950928

Priority number(s): JP19950250359 19950928

[Report a data error here](#)

Abstract of JP9092737

PROBLEM TO BE SOLVED: To prevent erroneous erasure due to the drain voltage by making thick the tunnel oxide above a drain diffusion layer locally. **SOLUTION:** A first insulation film 301, a floating gate electrode 105, a second insulation film 107, and a control gate electrode 109 are formed sequentially on a first conductivity type substrate 101 and subjected to patterning of a desired shape before providing a second conductivity type first and second diffusion regions 111, 113 on the opposite sides of laminated part in the first conductivity type substrate 101. In such an MISFET type nonvolatile memory, the first insulation film 301 is made thicker, at least partially, above any one of first or second diffusion region 111, 113 than other region in order to prevent erroneous erasure due to drain voltage. Alternatively, the carrier concentration is set lower in the vicinity of first insulation film 301 in any one of first or second diffusion region 111, 113 than other diffusion region.



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (JP)

公開特許公報 (A)

(11) 特許出願公開番号

特開平9-92737

(43) 公開日 平成9年(1997)4月4日

(51) Int.CI.

H01L 21/8247
29/788
29/792
27/115

識別記号

F I

H01L 29/78 371
27/10 434

(21) 出願番号

特願平7-250359

(22) 出願日

平成7年(1995)9月28日

(71) 出願人

000000295
沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者

内山 章

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74) 代理人

弁理士 清水 守 (外1名)

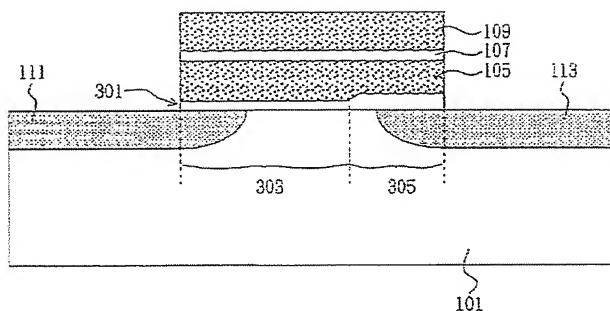
審査請求 未請求 請求項の数3 O L (全9頁)

(54) 【発明の名称】不揮発性メモリ装置

(57) 【要約】

【課題】 不揮発性メモリ装置において、ドレイン拡散層上部のトンネル酸化膜を局部的に厚くしたり、ドレイン拡散層のトンネル酸化膜近傍を低濃度化することにより、ドレイン電圧による誤消去を防止する。

【解決手段】 p型シリコン基板101上に下からトンネル酸化膜301、浮遊ゲート電極105、ゲート間絶縁膜107、制御ゲート電極109を順次積層し、所望の形状にパターニングし、この積層部を挟み、前記基板101中にn型のソース拡散領域111及びドレイン拡散領域113を設けてなるMISFET型の不揮発性メモリ装置において、前記ドレイン拡散領域113上近傍のトンネル酸化膜305の膜厚を、それ以外の領域のトンネル酸化膜303の膜厚に比べて少なくとも一部分は厚くする。



101 : p型シリコン基板
105 : 浮遊ゲート電極
107 : 浮遊ゲート／制御ゲート間絶縁膜
109 : 制御ゲート電極
111 : ソースn⁺拡散層
113 : ドレインn⁺拡散層
301 : トンネル酸化膜
303 : トンネル酸化膜の第1膜厚(薄膜)部
305 : トンネル酸化膜の第2膜厚(厚膜)部

【特許請求の範囲】

【請求項1】 第1導電型基板上に下から第1絶縁膜、浮遊ゲート電極、第2絶縁膜、制御ゲート電極を順次積層し、所望の形状にパターニングし、該積層部を挟み前記第1導電型基板中に第2導電型の第1拡散領域及び第2拡散領域を設けてなるMISFET型の不揮発性メモリ装置において、

前記第1拡散領域又は第2拡散領域のいずれか一方の拡散領域上近傍の第1絶縁膜厚を、それ以外の領域の第1絶縁膜膜厚に比べて少なくとも一部分は厚くし、ドレイン電圧による誤消去を防止することを特徴とする不揮発性メモリ装置。

【請求項2】 第1導電型基板上に下から第1絶縁膜、浮遊ゲート電極、第2絶縁膜、制御ゲート電極を順次積層し、所望の形状にパターニングし、該積層部を挟み前記第1導電型基板中に第2導電型の第1拡散領域及び第2拡散領域を設けてなるMISFET型の不揮発性メモリ装置において、

前記第1拡散領域又は第2拡散領域のいずれか一方の拡散領域の第1絶縁膜近傍のキャリア濃度を他方の拡散領域より低くし、ドレイン電圧による誤消去を防止することを特徴とする不揮発性メモリ装置。

【請求項3】 第1導電型基板上に下から第1絶縁膜、浮遊ゲート電極、第2絶縁膜、制御ゲート電極を順次積層し、所望の形状にパターニングし、該積層部を挟み前記第1導電型基板中に第2導電型の第1拡散領域及び第2拡散領域を設けてなるMISFET型の不揮発性メモリ装置において、

前記第1拡散領域又は第2拡散領域のいずれか一方の拡散領域上近傍の第1絶縁膜厚を、それ以外の領域の第1絶縁膜膜厚に比べて少なくとも一部分は厚くし、なおかつ該厚膜絶縁膜部分近傍の前記拡散層領域キャリア濃度を他方の拡散領域より低くし、ドレイン電圧による誤消去を防止することを特徴とする不揮発性メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、不揮発性メモリ装置に係り、特にフラッシュメモリ、EEPROM、EPROM等における、誤書き込み・誤消去等の誤動作を防ぐための素子構造に関するものである。

【0002】

【従来の技術】 一般に、このような分野の技術としては、例えば、以下に示すようなものがあった。図4はかかる従来の不揮発性メモリの最小単位であるメモリ素子(セル)の断面図である。

【0003】 この図において、p型シリコン基板101上に100Å程度の膜厚のトンネル酸化膜103、周りを絶縁された浮遊ゲート電極105、浮遊ゲート電極/制御ゲート間絶縁膜107、制御ゲート電極109が積層・パターニングされ、これを挟んでソースn⁻拡散層

111及びドレインn⁺拡散層113がp型シリコン基板101中に形成されている。

【0004】 情報の記憶は、浮遊ゲート電極105中の電子の多少によって、制御ゲート電極109から見た閾値が変化することにより行う。すなわち、浮遊ゲート電極105中に電子が多いと、制御ゲート電極109から見た閾値は増大し、電子が少ないと、閾値は低下することを利用するのである。例えば、閾値が4V以上を「1」の状態、2V以下を「0」の状態というように定義してデジタル情報の記憶を行うことができる。

【0005】 書き込み、消去及び誤動作について図5～図7で説明する。図5は従来の不揮発性メモリの書き込み(電子の注入)方法の説明図である。例えば、ソースn⁻拡散層111には0V、ドレインn⁺拡散層113には6V、制御ゲート電極109には12Vを印加し、ドレイン電流201を流すことにより、ドレイン近傍でインパクトイオン化により、ホットエレクトロンを発生させ、この電子をトンネル酸化膜103を通過させ、浮遊ゲート電極105に注入する(矢印203参照)。これにより、制御ゲート電極109から見た閾値は増大し、「1」の状態になる。

【0006】 図6は従来の不揮発性メモリの消去(電子の引き抜き)方法の説明図である。例えば、ソースn⁻拡散層111を11V、制御ゲート電極109を0Vにすることで、浮遊ゲート電極105からソースn⁻拡散層111へトンネル酸化膜103を介してFNトンネル電流により、電子を引き抜く(矢印205参照)。これにより、制御ゲート電極109から見た閾値は低下し、「0」の状態になる。

【0007】 これら記憶情報の読み取りは、例えば制御ゲート電圧には3V、ドレイン電圧には1Vを印加し、ソースn⁻拡散層111とドレインn⁺拡散層113間に流れる電流を判定することで行う(図示せず)。

「1」状態であれば、閾値が4V程度に増大しているわけであるから、ゲート電圧3Vでは電流は流れず、「0」状態であればドレイン電流が流れ、情報の判定ができることになる。

【0008】 浮遊ゲート電極105中の電子は、浮遊ゲート電極105が周囲から絶縁されており、電源を切っても抜けることはないため、電気的に書き換え可能な不揮発性のメモリとして利用されている。

【0009】

【発明が解決しようとする課題】 しかしながら、上記した従来の不揮発性メモリにおいては、以下の問題があった。メモリ装置はセルがマトリクス状に配置され、例えば、制御ゲートを横方向にストライプ状に配し(ワードラインと呼ぶ)、ドレイン接続の配線を縦方向に配し(ビットラインと呼ぶ)、セルの選択はこれらワードライン・ビットラインの交点にて行う。すなわち書き込みたいセル(選択セル)に該当するワードラインを

12 Vに、該当するビットラインを6 Vにすることで、前記書き込み動作を行うのである。しかし、書き込み対象セルでなくても、例えば、その同一ビットライン上の他のセル（非選択セル）にもドレインの6 Vは印加されてしまう。この非選択セルにおいて、誤って消去されるという誤消去が生じてしまう。

【0010】図7はかかる従来の不揮発性メモリにおける誤消去の説明図である。非選択セルのドレインn⁺拡散層113に6 Vが印加されると、図7に示すように、浮遊ゲート電極105からドレインn⁺拡散層113

へ、電流により電子が引き抜かれる（矢印207参照）。つまり、ドレイン電圧による誤消去が生じてしまうのである。非選択セルでは制御ゲート電極109は0 Vであるため、ドレイン／制御ゲート間電位差は6 Vと、消去時の電位差11 Vに比べて小さいものの、多数セルを書き込みの間、このストレスが加わるため、徐々に電荷が抜けて、「1」データが「0」データに化けてしまうことになる。これは記憶データが消失してしまうことであり、信頼性上許容できない問題となる。

【0011】本発明は、上記問題点を解決するために、不揮発性メモリ装置において、ドレイン拡散層上部のトンネル酸化膜を局部的に厚くしたり、ドレイン拡散層のトンネル酸化膜近傍を低濃度化することにより、ドレイン電圧による誤消去を防止することができる不揮発性メモリ装置及びその製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明は、上記目的を達成するために、

〔1〕図1に示すように、第1導電（p）型基板（101）上に下から第1絶縁膜（トンネル酸化膜）（301）、浮遊ゲート電極（105）、第2絶縁膜（107）、制御ゲート電極（109）を順次積層し、所望の形状にバターニングし、この積層部を挟み、前記第1導電（p）型基板（101）中に第2導電（n）型の第1拡散領域（111）及び第2拡散領域（113）を設けてなるMISFET型の不揮発性メモリ装置において、前記第1拡散領域（111）又は第2拡散領域（113）のいずれか一方の拡散領域上近傍の第1絶縁膜厚（305）を、それ以外の領域の第1絶縁膜（303）の膜厚に比べて少なくとも一部分は厚くするようにしたものである。

【0013】したがって、トンネル酸化膜（301）の膜厚が厚い第2膜厚部（305）はドレイン拡散層上部を被って形成されていることから、非選択セルにおけるドレイン電圧による浮遊ゲート電極からドレインへのFNトンネル電流（誤った電子引き抜きであり、いわゆる誤消去）を抑制することができる。

〔2〕不揮発性メモリ装置の製造方法において、図3に示すように、第1導電（p）型基板（101）の第1酸

化を行い、第1境界部（502）を境界にした該第1酸化膜（501）の選択エッチングを行い、次いで第2酸化を行うことにより、前記第1境界部（502）を境界にして厚い部分（507）の第1絶縁膜を形成する工程と、該第1絶縁膜上に浮遊ゲート電極（105）、第2絶縁膜（107）、制御ゲート電極（109）を順次積層し、所望の形状にバターニングし、該積層部を挟み前記第1導電型基板（101）中に第2導電型の第1拡散領域及び第2拡散領域を形成するようにしたものである。

【0014】したがって、上記（1）同様に膜厚の厚い第2膜厚部（507）をドレイン近傍ゲート電極下に形成できる。更に、第2膜厚部（507）の酸化膜厚は2段階の酸化工程により自由度高く所望の値に設定できるとともに、その領域についてはホトリソグラフィにより所望の寸法・位置に形成することができる。また、元々フラッシュメモリでは高電圧駆動用とセルのトンネル膜用とに膜厚の異なる複数の酸化膜領域を有しているため、レジストマスク（503）を形成しても工程数増加にはならないという利点がある。

【0015】〔3〕図8に示すように、第1導電（p）型基板（101）上に下から第1絶縁膜（103）、浮遊ゲート電極（105）、第2絶縁膜（107）、制御ゲート電極（109）を順次積層し、所望の形状にバターニングし、この積層部を挟み、前記基板（101）中に第2導電（n）型の第1拡散領域（111）及び第2拡散領域（113）を設けてなるMISFET型の不揮発性メモリ装置において、前記第1拡散領域（111）又は第2拡散領域（113）のいずれか一方の拡散領域の第1絶縁膜（103）近傍のキャリア濃度を他方の拡散領域より低くするようにしたものである。

【0016】したがって、ドレイン拡散層（113）のトンネル酸化膜（103）近傍が低キャリア濃度であると、ゲート／ドレイン間に電圧が印加された場合、拡散層で空乏層が伸び、この空乏層に多くの電界がかかることになる。その結果、トンネル酸化膜自体にかかる電界は低減し、結局FNトンネル電流を低減することができ、誤消去を防止することができる。

【0017】これは、酸化膜にかかる電界E₀（=V/T₀）を、酸化膜にかかる電圧Vを小さくすることで低減し、その結果トンネル電流を制御したものである。

〔4〕不揮発性メモリ装置の製造方法において、図9に示すように、第1導電（p）型基板（101）上に下から第1絶縁膜（トンネル酸化膜）（103）、浮遊ゲート電極（105）、第2絶縁膜（107）、制御ゲート電極（109）を順次積層し、所望の形状にバターニングし、この積層部を挟み、前記基板（101）中に第2導電（n）型の第1拡散領域（701）及び第2拡散領域（703）を形成し、この第1拡散領域（701）及び第2拡散領域（703）に第1回目の第2導電（n）

型イオン注入を行い、その後、一方の拡散領域(70
1)にのみ第2回目の第2導電(n)型イオン注入を行うようにしたものである。

【0018】したがって、ドレイン拡散層(113)のトンネル酸化膜近傍が低キャリア濃度であるセルを形成することができる。更に、ドレイン拡散層(113)を低濃度n⁺拡散層で形成できることから、ドレインの拡散層深さを浅くすることができる。その結果ソース・ドレイン間の実効チャネル長を長くすることができ、パンチスルーの制御が可能となり、素子寸法の微細化を図ることができる。

【0019】〔5〕不揮発性メモリ装置の製造方法において、図10に示すように、第1導電(p)型基板(101)上に下から第1絶縁膜(トンネル酸化膜)(103)、浮遊ゲート電極(105)、第2絶縁膜(107)、制御ゲート電極(109)を順次積層し、所望の形状にバターニングし、この積層部を挟み、前記基板(101)中に第2導電(n)型の第1拡散領域(111)及び第2拡散領域(113)を形成し、この第1拡散領域(111)及び第2拡散領域(113)に第2導電型イオン注入を行い、その後、一方の拡散領域(113)にのみ第1導電型イオン注入を行うようにしたものである。

【0020】したがって、ドレイン拡散層(113)のトンネル酸化膜近傍が低キャリア濃度であるセルを形成することができる。更に、ドレイン拡散層(113)の表面層のみに低濃度化するため、ドレイン拡散層のシート抵抗はそれほど大きくならず、拡散抵抗による信号遅延をもたらすことはない。

【0021】〔6〕第1導電(p)型基板(101)上に下から第1絶縁膜(103)、浮遊ゲート電極(105)、第2絶縁膜(107)、制御ゲート電極(109)を順次積層し、所望の形状にバターニングし、この積層部を挟み、前記基板(101)中に第2導電(n)型の第1拡散領域(111)及び第2拡散領域(113)を設けてなるMISFET型の不揮発性メモリ装置において、前記第1拡散領域(111)又は第2拡散領域(113)のいずれか一方の拡散領域上近傍の第1絶縁膜厚を、それ以外の領域の第1絶縁膜膜厚に比べて少なくとも一部分は厚くし、なおかつ、この厚膜絶縁膜部分近傍の前記拡散層領域キャリア濃度を他方の拡散領域より低くするようにしたものである。

【0022】したがって、上記(1)と上記(3)記載の発明を組み合わせた構造とすることが可能である。このように構成することにより、上記(1)と上記(3)記載の発明を合わせた効果を奏することができる。

【0023】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照しながら詳細に説明する。図1は本発明の第1実施例を示す不揮発性メモリ装置の断面図である。

10

20

30

40

50

なお、従来セルと同一機能部分には同一の番号を用いている。図1に示すように、p型シリコン基板101上に、例えば70Å～100Å程度のトンネル酸化膜301の第1膜厚(薄膜)部303及びそれより厚い、例えば100Å～150Å程度の膜厚のトンネル酸化膜301の第2膜厚(厚膜)部305より成るトンネル酸化膜301、周りを絶縁された、例えばn⁺ポリシリコンから成る浮遊ゲート電極105、酸化膜/窒化膜/酸化膜の積層から成る、例えば180Å程度の膜厚の浮遊ゲート電極/制御ゲート間絶縁膜107、n⁺ポリシリコンから成る制御ゲート電極109が積層・バターニングされ、これを挟んでソースn⁺拡散層111及びドレインn⁺拡散層113がp型シリコン基板101中に形成されている。トンネル酸化膜301の第2膜厚部305はドレインn⁺拡散層113上部を被って形成される。

【0024】このように、トンネル酸化膜の第2膜厚部はドレインn⁺拡散層上部を被って形成されていることから、非選択セルにおけるドレイン電圧による浮遊ゲート電極からドレインへのFNトンネル電流(誤った電子引き抜きであり、いわゆる誤消去)を抑制することができる。ここで、一般にFN電流密度J_{fn}は以下の式で表すことができる。

$$[0025] J_{fn} = A \cdot E_{ox}^{-2} \cdot \exp(-B/E_{ox})$$

ここで、E_{ox}は酸化膜にかかる電界であり、電圧Vと酸化膜T_{ox}を用いると、

$$E_{ox} = V/T_{ox}$$

となる。すなわち、FN電流は酸化膜厚を厚くすると急激に小さくなることがわかり、ドレインn⁺拡散層上部の第2膜厚部はドレインn⁺拡散層へのFN電流を大幅に抑制できる。

【0026】なお、ソースn⁺拡散層上部においては、消去時に浮遊ゲート電極からソースn⁺拡散層へFN電流により電子引き抜きを行うため、トンネル酸化膜を厚く設定することはできない。一方、書き込みはドレイン電流によるインパクトイオン化で発生したホットエレクトロン注入により行うため、注入位置がドレインn⁺拡散層近傍のチャネル部であること、およびFN電流とは異なり、多少トンネル酸化膜が厚くても、大幅に注入効率が低下することは無いといったことから、ドレインn⁺拡散層上部のトンネル酸化膜を厚くすることができる。

【0027】以上の実施例はドレイン部のトンネル酸化膜厚を厚くすることで、トンネル電流を低減したが、拡散層濃度を低減し、空乏層を広げることで酸化膜にかかる電界を低減する方法も可能である。図2は本発明の第1実施例を示す不揮発性メモリ装置の第1の製造工程断面図である。

【0028】まず、図2(a)に示すように、p型シリコン基板101上にトンネル酸化膜(途中段階)401、浮遊ゲート電極105、浮遊ゲート電極/制御ゲー

ト電極間絶縁膜 107、制御ゲート電極 109を積層・バーニング後、ソース領域をレジストマスク 403でマスクし、ドレイン拡散領域部及びドレイン上のゲート側壁部に砒素等のn⁻イオン注入 405を行う。この実施例では、イオン注入 405はp型シリコン基板 101に対して垂直ではない角度を設けて行っている。これは、浮遊ゲート電極 105側壁部へ効率良くイオン注入 405するためである。

【0029】次に、図 2 (b) に示すように、レジストマスク 403を剥離後、酸素雰囲気で熱処理酸化することにより、露出したp型シリコン基板 101表面を酸化する。このときドレイン上は砒素が注入されたn⁻拡散層 409になっているため酸化速度が速く、ソース領域上よりも厚い酸化膜 407が形成される。更に、ドレイン近傍の浮遊ゲート電極 105下のトンネル酸化膜においては、基板 101部および浮遊ゲート電極 105ボリシリコン側壁が、より濃いn⁻になっていることから、膜厚が厚くなり、結局、第1膜厚(薄膜)部 303と、より厚い第2膜厚(厚膜)部 305が形成される。

【0030】ここで、第2膜厚(厚膜)部 305はゲート端で最も厚く、ゲート内側に向かって薄くなっている。(第1膜厚部 303の膜厚に近づく)。その後、図示しないが、ソース・ドレインのイオン注入、中間絶縁膜成膜、コンタクト開口、メタル配線形成等の公知の製造工程を行うことで、第1実施例のセル構造を得ることができる。

【0031】このように構成したので、膜厚の厚い第2膜厚部を、ドレイン近傍のゲート電極下に形成することができる。更に、膜厚の厚い第2膜厚部をマスク合わせを行わずに、すなわち、ドレインn⁻拡散層上部に自己整合的(セルフアライン)に形成することができるので、合わせずによる歩留まりの低下が起こることはない。これは、素子寸法の微細化に伴い、極めて有利である。

【0032】図3は本発明の第1実施例を示す不揮発性メモリ装置の第2の製造工程断面図である。まず、図3(a)に示すように、途中段階としてのトンネル酸化膜 501をp型シリコン基板 101上全面に形成後、所望部(第1境界部 502からドレイン領域側)をレジストマスク 503でマスクし、フッ酸等で選択的に酸化膜をエッチング除去し、残存トンネル膜 501を形成する。

【0033】次に、図3(b)に示すように、レジストマスク 503を除去後、再度全面酸化することで、トンネル酸化膜薄膜部 505及びトンネル酸化膜(途中段階) 501が残存していた部分にトンネル酸化膜厚膜部 507を形成する。その後、図3(c)に示すように、浮遊ゲート電極 105、浮遊ゲート電極/制御ゲート電極間絶縁膜 107、制御ゲート電極 109を積層した後、トンネル酸化膜薄膜部 505、トンネル酸化膜厚膜部 507境界部 502がゲート下所望の位置になるよう

マスク合わせを行い、第1実施例のセル構造を得ることができる。

【0034】このように構成することにより、上記製造方法と同様に膜厚の厚い第2膜厚部をドレイン近傍のゲート電極下に形成することができる。更に、トンネル酸化膜厚部 507は2段階の酸化工程により、自由度高く所望の値に設定できるとともに、その領域についてはホトリソグラフィにより所望の寸法・位置に形成することができる。また、元々フラッシュメモリでは高電圧駆動用とセルのトンネル膜用とに膜厚の異なる複数の酸化膜領域を有しているため、レジストマスクを形成しても工程数増加にはならないという利点もある。

【0035】図8は本発明の第2実施例を示す不揮発性メモリ装置の断面図である。この図に示すように、ドレインn⁻拡散層 113のトンネル酸化膜 103接触部近傍に、低濃度n⁻拡散領域 601を設けることを特徴としている。なお、低濃度とはキャリアとして低濃度ということである。このように構成することにより、ドレインn⁻拡散層のトンネル酸化膜近傍が低キャリア濃度であると、ゲート/ドレイン間に電圧が印加された場合、拡散層で空乏層が延び、この空乏層に多くの電界がかかることになる。その結果、トンネル酸化膜自体にかかる電界は低減し、結局FNトンネル電流を低減することができ、誤消去を防止することができる。

【0036】これは、酸化膜にかかる電界E_x(=V/T_x)を、酸化膜にかかる電圧Vを小さくすることで低減し、その結果トンネル電流を制御したものである。図9は本発明の第2実施例を示す不揮発性メモリ装置の第1の製造工程断面図である。まず、図9(a)に示すように、積層ゲート部(103~109)をマスクにして、低濃度イオン注入により低濃度n⁻拡散層(ソースn⁻拡散層) 701、低濃度n⁻拡散層(ドレインn⁻拡散層) 703を形成する。

【0037】その後、図9(b)に示すように、ドレイン部をレジストマスク 704で被い、ソース領域に高濃度イオン注入により、高濃度n⁻拡散層 705を形成する。結果的にソースよりも低濃度のドレイン拡散領域を形成することができる。このように構成することにより、ドレインn⁻拡散層のトンネル酸化膜近傍が低キャリア濃度であるセルを形成することができる。

【0038】更に、ドレインを低濃度n⁻拡散層で形成できることから、ドレインの拡散層深さを浅くすることができる。その結果ソース・ドレイン間の実効チャネル長を長くすることができ、バンチスルーの制御が可能となり、素子寸法の微細化を図ることができる。図10は本発明の第2実施例を示す不揮発性メモリ装置の第2の製造工程断面図である。

【0039】まず、図10(a)に示すように、積層ゲート部(103~109)をマスクにして、n型高濃度イオン注入により高濃度n⁻拡散層 111、113を形

成する。その後、図 10 (b) に示すように、ソース部をレジストマスク 801 で被い、ドレイン領域に p 型のイオン注入を行い、コンパンセートすることにより、ドレイン領域表面近傍に、元よりキャリア濃度の低い低濃度 n⁻ 拡散領域 803 を形成する。

【0040】このように構成することにより、ドレイン n⁻ 拡散層のトンネル酸化膜近傍が低キャリア濃度であるセルを形成することができる。更に、ドレイン n⁻ 拡散層の表面層のみに低濃度化するため、ドレイン n⁻ 拡散層のシート抵抗はそれほど大きくならず、拡散抵抗による信号遅延をもたらすことはない。

【0041】また、ドレイン n⁻ 拡散層上部トンネル酸化膜厚を他の部分よりも厚くし、かつ、このトンネル酸化膜近傍のドレイン n⁻ 拡散層のキャリア濃度を他の部分よりも薄くした、第 1 実施例と第 2 実施例を組み合わせた構造とすることも可能である。このように構成すると、第 1 実施例と第 2 実施例を合わせた効果を奏すことができる。

【0042】また、本発明は、以下のような利用形態を有する。上記実施例によれば、電気的に書き換え消去可能なフラッシュメモリとして説明したが、消去を紫外線で行う E P R O M として用いることもできる。また、実施例では消去動作を浮遊ゲート電極からソースへの引き抜きとして説明したが、浮遊ゲート電極からチャネル（基板）への引き抜きとして用いることもできる。

【0043】更に、例えば、「0」、「1」（2 値）のデジタル情報記憶として説明したが、制御ゲートから見た閾値を 2 値ではなく多値として用いることも当然のことながら可能である。多値として、例えば閾値を 4 値に設定すると、2 値の 2 倍の情報量が記憶できる。また、例えば、閾値 1 ~ 5 V の範囲で 10 mV きざみで 400 値に設定し、アナログ的な使い方をすることもできる。このような多値の場合は誤消去等の誤動作による閾値変化の許容量は、2 値の場合に比べ厳しいことになるため、本発明の効果はより大きくなる。

【0044】また、トンネル絶縁膜として、酸化膜を用いて説明したが、当然のことながら酸化後に窒化を行い、酸化膜中に窒素を導入させる方法においても、本発明は有効である。なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から除外するものではない。

【0045】

【発明の効果】以上、詳細に説明したように、本発明によれば、

(1) 請求項 1 記載の発明によれば、トンネル酸化膜の膜厚が厚い第 2 膜厚部はドレイン拡散層上部を被って形成されていることから、非選択セルにおけるドレイン電圧による浮遊ゲートからドレインへの F N トンネル電流（誤った電子引き抜きであり、いわゆる誤消去）を抑制

することができる。

【0046】また、膜厚の厚い第 2 膜厚部をドレイン近傍ゲート電極下に形成することができる。更に、第 2 膜厚部の酸化膜厚は 2 段階の酸化工程により、自由度高く所望の値に設定できるとともに、その領域についてはホトリソグラフィにより所望の寸法・位置に形成することができる。また、元々フラッシュメモリでは高電圧駆動用とセルのトンネル膜用とに膜厚の異なる複数の酸化膜領域を有しているため、レジストマスクを形成しても工程数増加にはならないという利点もある。

【0047】(2) 請求項 2 記載の発明によれば、ドレイン拡散層のトンネル酸化膜近傍が低キャリア濃度であると、ゲート／ドレイン間に電圧が印加された場合、拡散層で空乏層が伸び、この空乏層に多くの電界がかかることになる。その結果、トンネル酸化膜自体にかかる電界は低減し、結局 F N トンネル電流を低減することができ、誤消去を防止することができる。

【0048】これは、酸化膜にかかる電界 $E_{\text{ext}} (=V/T)$ を、酸化膜にかかる電圧 V を小さくすることで低減し、その結果トンネル電流を制御したものである。また、ドレイン拡散層のトンネル酸化膜近傍が低キャリア濃度であるセルを形成することができる。更に、ドレインを低濃度 n⁻ 拡散層で形成できることから、ドレインの拡散層深さを浅くすることができる。その結果ソース・ドレイン間の実効チャネル長を長くすることができ、パンチスルーアクションの制御が可能となり、素子寸法の微細化を図ることができる。

【0049】また、ドレイン拡散層のトンネル酸化膜近傍が低キャリア濃度であるセルを形成することができる。更に、ドレイン拡散層の表面層のみに低濃度化するため、ドレイン拡散層のシート抵抗はそれほど大きくならず、拡散抵抗による信号遅延をもたらすことはない。

【0050】(3) 請求項 3 記載の発明によれば、上記 (1) と上記 (2) 記載の発明を組み合わせた構造とすることが可能である。このように構成することにより、上記 (1) と上記 (2) 記載の発明を合わせた効果を奏すことができる。

【図面の簡単な説明】

【図 1】本発明の第 1 実施例を示す不揮発性メモリ装置の断面図である。

【図 2】本発明の第 1 実施例を示す不揮発性メモリ装置の第 1 の製造工程断面図である。

【図 3】本発明の第 1 実施例を示す不揮発性メモリ装置の第 2 の製造工程断面図である。

【図 4】従来の不揮発性メモリの最小単位であるメモリ素子（セル）の断面図である。

【図 5】従来の不揮発性メモリの書き込み（電子の注入）方法の説明図である。

【図 6】従来の不揮発性メモリの消去（電子の引き抜き）方法の説明図である。

11

【図 7】従来の不揮発性メモリにおける誤消去の説明図である。

【図 8】本発明の第2実施例を示す不揮発性メモリ装置の断面図である。

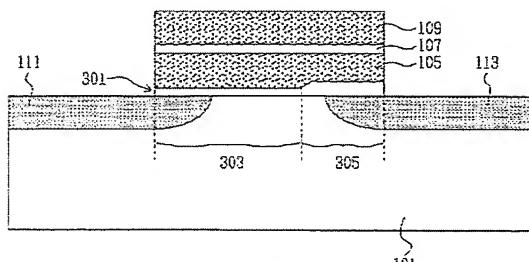
【図 9】本発明の第2実施例を示す不揮発性メモリ装置の第1の製造工程断面図である。

【図 10】本発明の第2実施例を示す不揮発性メモリ装置の第2の製造工程断面図である。

【符号の説明】

- 101 p型シリコン基板
- 103, 301 トンネル酸化膜
- 105 浮遊ゲート電極
- 107 浮遊ゲート／制御ゲート間絶縁膜
- 109 制御ゲート電極

【図 1】



- 101 : p型シリコン基板
- 105 : 浮遊ゲート電極
- 107 : 浮遊ゲート／制御ゲート間絶縁膜
- 109 : 制御ゲート電極
- 111 : ソースn⁻拡散層
- 113 : ドレインn⁻拡散層
- 301 : トンネル酸化膜
- 303 : トンネル酸化膜の第1膜厚(薄膜)部
- 305 : トンネル酸化膜の第2膜厚(厚膜)部

10 111, 701 ソースn⁻拡散層113, 703 ドレインn⁻拡散層

303 トンネル酸化膜の第1膜厚(薄膜)部

305 トンネル酸化膜の第2膜厚(厚膜)部

401, 501 トンネル酸化膜(途中段階)

403, 503, 704, 801 レジストマスク

405 n⁻イオン注入

407 ソース領域上よりも厚い酸化膜

409 n⁻拡散層

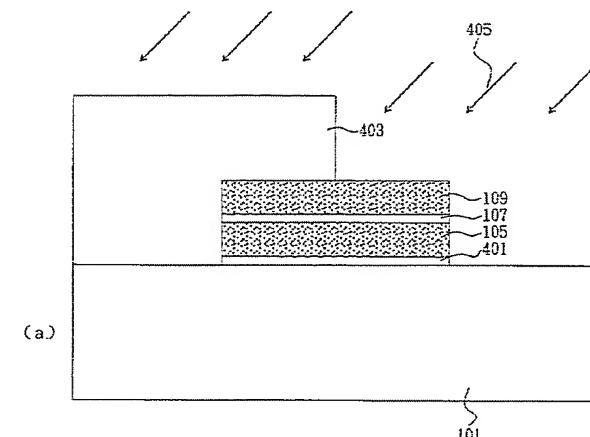
10 10 502 第1境界部

505 トンネル酸化膜薄膜部

507 トンネル酸化膜厚膜部

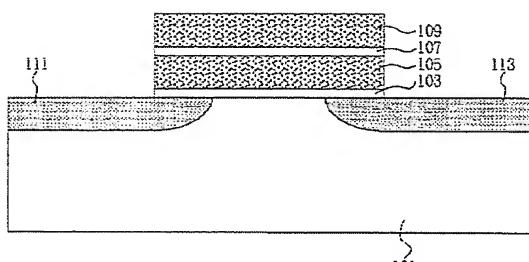
601, 803 低濃度n⁻拡散領域705 高濃度n⁻拡散層

【図 2】



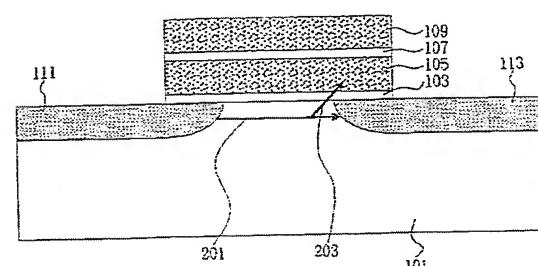
(a)

【図 4】

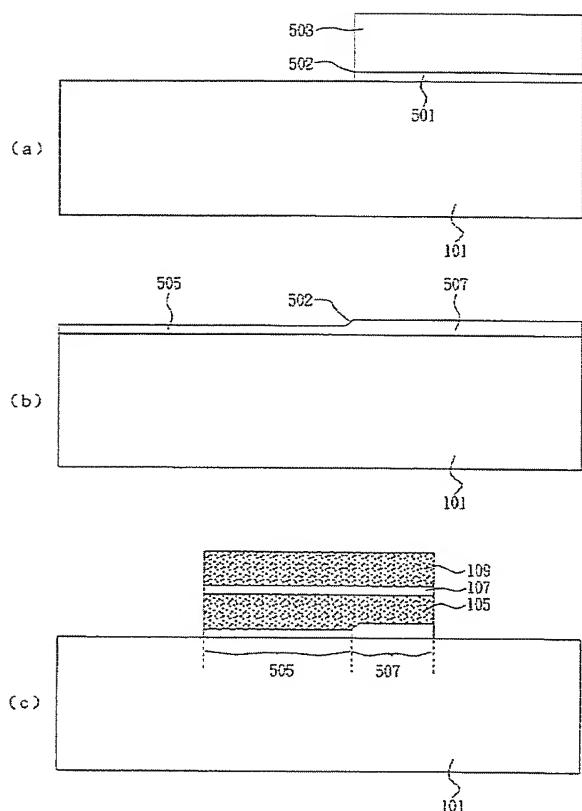


(b)

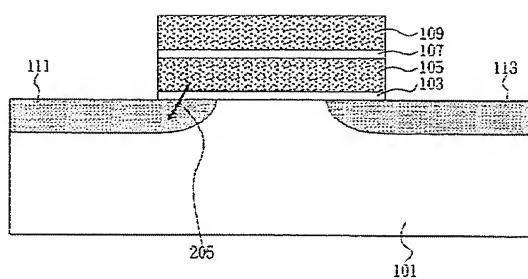
【図 5】



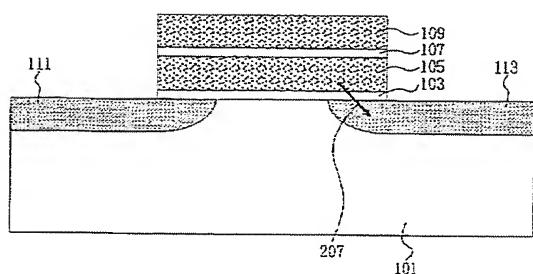
【図 3】



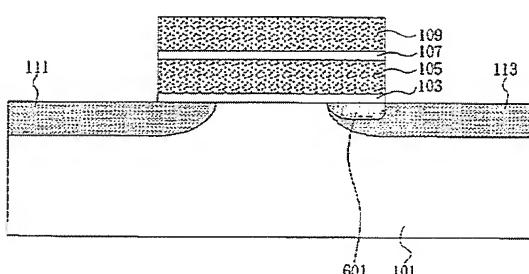
【図 6】



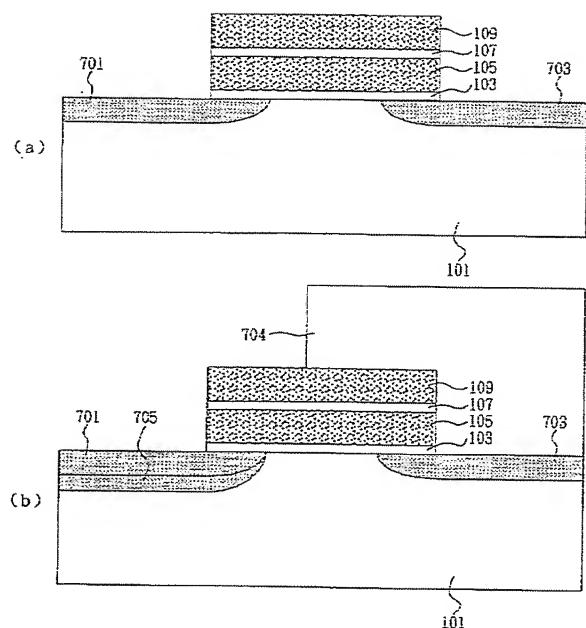
【図 7】



【図 8】



【図 9】



【図 10】

